

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-276877

(43)Date of publication of application : 06.10.2000

(51)Int.Cl. G11C 11/407

(21)Application number : 2000-057486 (71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 02.03.2000 (72)Inventor : SHIN CHOONG-SUN
LEE DONG-YANG
RI JUNBAI

(30)Priority

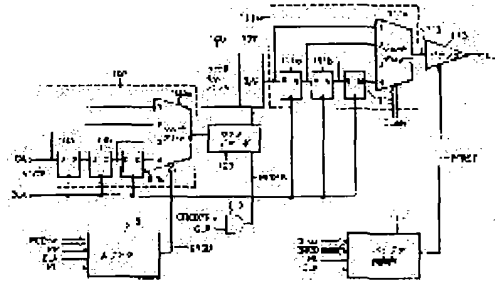
Priority number : 99 9906939 Priority date : 03.03.1999 Priority country : KR
99 9920821 05.06.1999 KR

(54) SYNCHRONIZING SEMICONDUCTOR MEMORY DEVICE WITH POSTED CAS LATENCY FUNCTION, AND METHOD FOR CONTROLLING CAS LATENCY

(57)Abstract:

PROBLEM TO BE SOLVED: To execute a posted CAS instruction by providing this device with a 1st shift register for delaying a column address by the prescribed number of clock cycles, and a means for giving the 1st shift register a 1st delayed clock control signal containing difference information between RAS-CAS latency and a minimum clock frequency difference necessary for executing a row/column access instruction.

SOLUTION: A 1st shift register 103 delays a column address CA by a delaying lock frequency $TD1 = (RLmin - CLmin) - RCD$ and supplies it to a column decoder 109. RLmin and CLmin represent the minimum numbers of clock cycles necessary from application of a column access instruction up to output of a memory cell data, and RCD means the number of clock cycles from application of the row access instruction up to that of the column access instruction to the same bank. A counter 115 supplies a 1st delayed clock control signal DRCD containing the difference information between RCD and $(RLmin - CLmin)$ to the 1st shift register 103.



LEGAL STATUS

[Date of request for examination] 19.11.2002

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-276877

(P2000-276877A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl.⁷

G11C 11/407

識別記号

F I

G11C 11/34

テマコード(参考)

362S

審査請求 未請求 請求項の数23 OL (全13頁)

(21) 出願番号 特願2000-57486(P2000-57486)

(22) 出願日 平成12年3月2日(2000.3.2)

(31) 優先権主張番号 1999P-6939

(32) 優先日 平成11年3月3日(1999.3.3)

(33) 優先権主張国 韓国 (KR)

(31) 優先権主張番号 1999P-20821

(32) 優先日 平成11年6月5日(1999.6.5)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 辛 忠 善

大韓民国京畿道城南市盆唐区簾内洞34番地

陽地錦湖アパート103棟1501号

(72) 発明者 李 東 陽

大韓民国京畿道城南市盆唐区九美洞212番

地 ムジゲマウル住公アパート1209棟1204

号

(74) 代理人 100086368

弁理士 萩原 誠

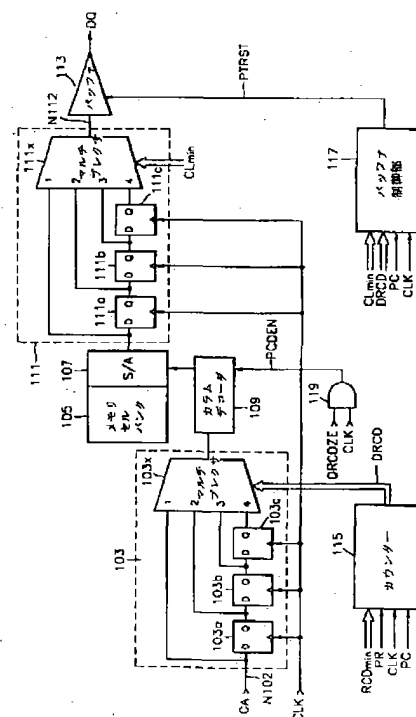
最終頁に続く

(54) 【発明の名称】 ポステッドCASラテンシ機能を備えた同期式半導体メモリ装置及びCASラテンシ制御方法

(57) 【要約】 (修正有)

【課題】 ポステッドCASラテンシ機能を備えた同期式半導体メモリ装置及びCASラテンシ制御方法を提供する。

【解決手段】 バンクの列を選択するカラムアドレス入力端とカラムデコーダ間で、カラムアドレスを所定の遅延クロック周期数だけ遅らせる第1シフトレジスタと、ロウアクセス命令の印加からメモリセルのデータ出力に必要なクロック信号の最小クロック周期数を RL_{min} とし、カラムアクセス命令の印加からメモリセルのデータ出力に必要なクロック信号の最小クロック周期数を CL_{min} とすると、同一のバンクに対し、ロウアクセス命令の印加からカラムアクセス命令の印加までのクロック信号のクロック周期数 RCD を感知して、 RCD と $(RL_{min}-CL_{min})$ との差分に関する情報を有する第1遅延クロック制御信号を第1シフトレジスタに供給するカウンタとを具備し、遅延クロック周期数は、 RCD と $(RL_{min}-CL_{min})$ との差分に対応して決定される。



【特許請求の範囲】

【請求項1】 行及び列に配列される多数個のメモリセルを有するバンクと、前記バンクの列を選択するカラムデコーダとを含み、クロック信号に同期して動作する同期式半導体メモリ装置において、
前記バンクの列を選択するカラムアドレスを入力するカラムアドレス入力端と、
前記カラムアドレス入力端と前記カラムデコーダとの間で、前記カラムアドレスを所定の遅延クロック周期数だけ遅らせる第1シフトレジスタと、
ロウアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を RL_{min} とし、カラムアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を CL_{min} とすると、
同一のバンクに対し、前記ロウアクセス命令の印加から前記カラムアクセス命令の印加までの前記クロック信号のクロック周期数の RCD を感知して、前記 RCD と前記 $(RL_{min}-CL_{min})$ との差分に関する情報を有する第1遅延クロック制御信号を前記第1シフトレジスタに供給するカウンタとを具備し、
前記遅延クロック周期数は、前記 RCD と前記 $(RL_{min}-CL_{min})$ との差分に対応して決定されることを特徴とする同期式半導体メモリ装置。

【請求項2】 前記第1シフトレジスタは、
毎週期の前記クロック信号にตอบสนองして前記カラムアドレスを継続的に伝送し、直列に接続される多数個のレジスタと、
前記 RCD と前記 $(RL_{min}-CL_{min})$ との差分に対応して、前記多数個のレジスタの出力信号の内いずれかの信号を選択的に前記カラムデコーダに供給するマルチプレクサとを具備することを特徴とする請求項1に記載の同期式半導体メモリ装置。

【請求項3】 前記多数個のレジスタは、
Dフリップフロップであることを特徴とする請求項2に記載の同期式半導体メモリ装置。

【請求項4】 前記カウンタは、
前記 $(RL_{min}-CL_{min})$ の値を前記クロック信号にตอบสนองして1ずつデクリメントさせるダウンカウンタと、
前記ロウアクセス命令が発生してから前記カラムアクセス命令が発生する時の前記ダウンカウンタの出力値の情報を有する前記第1遅延クロック制御信号を前記第1シフトレジスタに供給するレジスタと、
前記ロウアクセス命令の発生によってイネーブルされて前記クロック信号にตอบสนองする第1クロック制御信号を前記ダウンカウンタに供給し、前記ダウンカウンタの出力値が0となる時にディスエーブルされるクロック制御部と、
前記ロウアクセス命令の発生によってイネーブルされて前記第1クロック制御信号にตอบสนองする第2クロック制御

信号を前記レジスタに供給し、前記カラムアクセス命令の発生によってディスエーブルされる論理部とを具備することを特徴とする請求項1に記載の同期式半導体メモリ装置。

【請求項5】 前記同期式半導体メモリ装置は、
前記ロウアクセス命令の発生によって活性化され、前記カラムアクセス命令の発生によって非活性化される出力信号を前記論理部に供給する RCD 測定部をさらに具備することを特徴とする請求項4に記載の同期式半導体メモリ装置。

【請求項6】 前記同期式半導体メモリ装置は、
前記メモリセルの出力データを CL_{min} だけ遅らせる第2シフトレジスタと、
所定の第2遅延クロック制御信号にตอบสนองして、前記第2シフトレジスタの出力信号を前記遅延クロック周期数だけ遅らせてバッファリングするバッファとをさらに具備することを特徴とする請求項1に記載の同期式半導体メモリ装置。

【請求項7】 前記同期式半導体メモリ装置は、前記バッファを制御する第2遅延クロック制御信号を発生させるバッファ制御部をさらに具備し、
前記バッファ制御部は、
毎週期の前記クロック信号にตอบสนองして、前記カラムアクセス命令を前記遅延クロック周期数だけ遅らせて出力する第1レジスタと、
毎週期の前記クロック信号にตอบสนองして、前記第1レジスタの出力信号を前記 CL_{min} だけ遅らせて前記バッファを制御する前記第2遅延クロック制御信号とを発生させる第2レジスタとを具備することを特徴とする請求項6に記載の同期式半導体メモリ装置。

【請求項8】 行及び列に配列される多数個のメモリセルを有するバンクと、 前記バンクの列を選択するカラムデコーダと、選択される前記メモリセルからのデータを出力するビットライン対と、前記ビットライン対のデータを増幅するセンスアンプとを含み、クロック信号に同期されて動作する同期式半導体メモリ装置において、
前記バンクの列を選択するカラムアドレスを入力するカラムアドレス入力端と、
前記カラムアドレス入力端と前記カラムデコーダとの間で、前記カラムアドレスを所定の遅延クロック周期数だけ遅らせる第1シフトレジスタと、
同一のバンクに対しロウアクセス命令の印加からカラムアクセス命令の印加までの前記クロック信号のクロック周期数の RCD 、及び前記ロウアクセス命令の印加から前記センスアンプがイネーブルされるまでの前記クロック信号のクロック周期数の RSE 値が定まっている時、
前記 RCD と前記 RSE との差分に関する情報を有する第1遅延クロック制御信号を前記第1シフトレジスタに供給するカウンタとを具備し、
前記遅延クロック周期数は、前記 RCD と前記 RSE と

の差分に対応して決定されることを特徴とする請求項8に記載の同期式半導体メモリ装置。

【請求項9】 前記第1シフトレジスタは、毎週期の前記クロック信号に応答して前記カラムアドレスを継続的に伝送し、直列に接続される多数個のレジスタと、前記RCDと前記RSEとの差分に対応して、前記多数個のレジスタの出力信号の内いずれかの信号を選択的に前記カラムデコードに供給するマルチプレクサとを具備することを特徴とする請求項8に記載の同期式半導体メモリ装置。

【請求項10】 前記多数個のレジスタは、Dフリップフロップであることを特徴とする請求項9に記載の同期式半導体メモリ装置。

【請求項11】 前記カウンタは、前記RSEをカウントして第1クロック周期数を発生させる第1カウント回路と、前記RCDをカウントして第2クロック周期数を発生させる第2カウント回路と、前記第2クロック周期数から前記第1クロック周期数を減算して第3クロック周期数を算出し、前記第1クロック周期数が前記第2クロック周期数より大きい場合には前記第3クロック周期数を0にする減算器とを具備することを特徴とする請求項8に記載の同期式半導体メモリ装置。

【請求項12】 前記第1カウント回路は、前記ロウアクセス命令の発生によって活性化され、前記センスアンパイネーブル信号の活性化によって非活性化される出力信号を発生させる論理ラッチ部と、前記論理ラッチ部の出力信号の活性区間でイネーブルされて、前記活性区間で発生される前記クロック信号のクロック周期数をカウントして前記第1クロック周期数を発生させるカウンタとを具備することを特徴とする請求項11に記載の同期式半導体メモリ装置。

【請求項13】 前記第2カウント回路は、前記ロウアクセス命令の発生によって活性化され、前記カラムアクセス命令の発生によって非活性化される出力信号を発生させる論理ラッチ部と、前記論理ラッチ部の出力信号の活性区間でイネーブルされて、前記活性区間で発生される前記クロック信号のクロック周期数をカウントして前記第2クロック周期数を発生させるカウンタとを具備することを特徴とする請求項12に記載の同期式半導体メモリ装置。

【請求項14】 前記カウンタは、前記カラムアクセス命令の発生によって活性化され、前記センスアンパイネーブル信号にイネーブルされるセンスアンパイネーブル信号に依りて非活性化される出力信号を発生させる論理部と、前記論理部の出力信号の活性区間で発生される前記クロック信号のクロック周期数をカウントするカウンタとを

具備することを特徴とする請求項8に記載の同期式半導体メモリ装置。

【請求項15】 前記半導体メモリ装置は、カラムアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を CL_{min} とすると、前記メモリセルの出力データを前記 CL_{min} だけ遅らせる第2シフトレジスタと、所定の第2遅延クロック制御信号に依りて、前記第2シフトレジスタの出力信号を所定の遅延クロック周期数だけ遅らせてバッファリングするバッファとをさらに具備することを特徴とする請求項8に記載の同期式半導体メモリ装置。

【請求項16】 前記同期式半導体メモリ装置は、前記バッファを制御する第2遅延クロック制御信号を発生させるバッファ制御部をさらに具備し、前記バッファ制御部は、毎週期の前記クロック信号に依りて、前記カラムアクセス命令を前記第1遅延クロック周期数だけ遅らせて出力する第1レジスタと、毎週期の前記クロック信号に依りて、前記第1レジスタの出力信号を前記遅延クロック周期数だけ遅らせて前記バッファを制御する前記第2遅延クロック制御信号を発生させる第2レジスタとを具備することを特徴とする請求項15に記載の同期式半導体メモリ装置。

【請求項17】 前記第1遅延クロック信号は、外部から直接供給されることを特徴とする請求項8に記載の同期式半導体メモリ装置。

【請求項18】 行及び列に配列される多数個のメモリセルを有するバンクを含み、選択される前記メモリセルのデータをカラムアクセス命令から所定のCASラテンシが経過した後のクロック信号に同期して読み出す同期式半導体メモリ装置において、前記CASラテンシは、

同一のバンクに対し、ロウアクセス命令の印加からカラムアクセス命令の印加までの前記クロック信号のクロック周期数によって決定されることを特徴とする同期式半導体メモリ装置。

【請求項19】 行及び列に配列される多数個のメモリセルを有するバンクを含み、選択される前記メモリセルのデータをクロック信号に同期して出力する同期式半導体メモリ装置において、ロウアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を RL_{min} とし、カラムアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を CL_{min} とし、同一のバンクに対しロウアクセス命令の印加からカラムアクセス命令の印加までの前記クロック信号のクロック周期数をRCDとすると、

前記カラムアクセス命令の印加からデータが出力されるのにかかる前記クロック信号のクロック周期数であるCASラテンシは、

RCDが $(RL_{min}-CL_{min})$ より小さい場合には $(RL_{min}-RCD)$ に決定され、

RCDが $(RL_{min}-CL_{min})$ 以上の場合には CL_{min} に決定されることを特徴とする同期式半導体メモリ装置。

【請求項20】 前記 $(RL_{min}-CL_{min})$ は、前記同期式半導体メモリ装置の外部から入力されることを特徴とする請求項19に記載の同期式半導体メモリ装置。

【請求項21】 行及び列に配列される多数個のメモリセルを有するバンクと、前記バンクの列を選択するカラムデコードと、選択される前記メモリセルからのデータを出力するビットライン対と、前記ビットライン対のデータを増幅するセンスアンプとを含み、クロック信号に同期されて動作する同期式半導体メモリ装置において、ロウアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を RL_{min} とし、カラムアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を CL_{min} とし、同一のバンクに対しロウアクセス命令の印加からカラムアクセス命令の印加までの前記クロック信号のクロック周期数をRCDとし、前記ロウアクセス命令の印加から前記センスアンプがイネーブルされるまでの前記クロック信号のクロック周期数をRSEとする時、前記カラムアクセス命令の印加からデータが出力されるのにかかる前記クロック信号のクロック周期数であるCASラテンシは、前記RCDと前記RSEとの差分に対応して決定されることを特徴とする同期式半導体メモリ装置。

【請求項22】 前記CASラテンシは、前記RCDが前記RSEより小さく、且つその差分が所定の基準クロック周期数以上である場合には $(RL_{min}-RCD)$ に決定され、前記RCDが前記RSE以上、或いはその差分が前記基準クロック周期数以下である場合には前記 CL_{min} に決定されることを特徴とする請求項21に記載の同期式半導体メモリ装置。

【請求項23】 行及び列に配列される多数個のメモリセルを有するバンクを含み、ロウアクセス命令の印加から前記メモリセルのデータが出力されるのに必要なクロック信号の最小クロック周期数を RL_{min} とし、カラムアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を CL_{min} とし、前記クロック信号に同期されて選択される前記メモリセルのデータを出力する同期式半導体メモリ装置のCASラテンシ制御方法において、

ロウアクセス命令の印加から前記カラムアクセス命令の印加までの前記クロック信号のクロック周期数のRCDを感知する段階と、

前記ロウアクセス命令の印加から前記センスアンプがイネーブルされるまでの前記クロック信号のクロック周期数のRSEを感知する段階と、

前記RCDと前記RSEとを比較する段階と、

前記RCDが前記RSEより小さく、且つその差分が所定の基準クロック周期数以上であれば、前記カラムアクセス命令の印加からデータが出力されるのにかかる前記クロック信号のクロック周期数であるCASラテンシを $(RL_{min}-RCD)$ に決定する段階と、

前記RCDが前記RSE以上、或いはその差分が前記基準クロック周期数より小さければ、前記CASラテンシを CL_{min} に決定する段階とを具備することを特徴とする同期式半導体メモリ装置のCASラテンシ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同期式半導体メモリ装置（シンクロナスRAM；以下、SDRAMと称する）に係り、具体的には、ポストッドCASラテンシ機能を備えたSDRAM及びCASラテンシ制御方法に関する。

【0002】

【従来の技術】一般に、SDRAMは、外部から入力されるクロック信号に同期して読出または書込み動作が制御される。図13は、ロウアクセス命令またはカラムアクセス命令の印加からデータが出力されるまでのそれぞれのラテンシ（Latency）を説明するための図である。まず、ロウアクセス命令が印加されてから最初のデータが出力されるまでの外部クロック信号のクロック周期数をRASラテンシ（以下、RL）とし、カラムアクセス命令が印加されてから最初のデータが出力されるまでの外部クロック信号のクロック周期数をCASラテンシ（以下、CL）とする。そしてロウアクセス命令が印加されてから同一のバンクへのカラムアクセス命令が印加されるまでの外部クロック信号のクロック周期数をRAS-CASラテンシ（以下、RCD）とする。また、これらRCD、RL及びCLの間には以下のような数式が成立つ。

【0003】

$$\text{【数1】 } RL = RCD + CL \quad \dots (1)$$

また、特定の外部クロック信号の周波数におけるRLの最小値を RL_{min} とすると、RLは、下記式を満足しなければならない。

$$\text{【数2】 } RL \geq RL_{min} \quad \dots (2)$$

続けて、特定の外部クロック信号の周波数におけるCLの最小値を CL_{min} とすると、 RCD_{min} は下記式のように定義される。

$$\text{【数3】 } RCD_{min} = RL_{min} - CL_{min} \quad \dots (3)$$

【0004】ところが、SDRAMを使用するシステムにおいて、その性能を向上させるためには、 RCD_{min} がRCDより大きい($RCD < RCD_{min}$)場合、すなわち、ポストッドCASラテンシ(Posted CAS Latency)の場合にもデータが正常に出力可能な機能が望まれる。すなわち、 $RCD < RCD_{min}$ の場合にも製品の仕様である $RL \geq RL_{min}$ を満足しなければならないのである。このように、ポストッドCASラテンシの場合に $RL \geq RL_{min}$ を満足するためには、CLが下記式を満足しなければならない。

【数4】

$$CL > CL_{min} + (RCD_{min} - RCD) \cdots (4)$$

【0005】

【発明が解決しようとする課題】従来のSDRAMにおいては、 $RCD_{min} - RCD < 0$ といった仕様を厳守しなければならなかったため、モードレジスタセット(以下、MRS)命令によりCLの最小値 CL_{min} を保障するCLを決定することで十分であった。ところが、ポストッドCAS状態では、式(4)から分かるように、 $(RCD_{min} - RCD)$ 値及び CL_{min} を別に知っていなければ、適宜な遅延時間及びデータバスのラテンシを制御するCAS命令(カラムアドレス命令を含む)が入力できない。したがって本発明の目的は、ポストッドCAS命令が行えるようなSDRAM及びこれを用いたデータ出力方法を提供することである。

【0006】

【課題を解決するための手段】前記目的を達成するため、本発明では、行及び列に配列される多数個のメモリセルを有するバンクと、前記バンクの列を選択するカラムデコードとを含み、クロック信号に同期されて動作するSDRAMが提供される。本発明のSDRAMは、ポストッドCAS状態でCAS命令を遅らせる適宜な遅延手段を具備する。すなわち、 $(tRCD_{min} - tRCD)$ の値を決定する方法及び、その結果分メモリの内部においてCAS命令を遅らせる方法が提案される。また、本発明のSDRAMは、前記バンクの列を選択するカラムアドレスを入力するカラムアドレス入力端と、前記カラムアドレス入力端と前記カラムデコードとの間で、前記カラムアドレスを所定の遅延クロック周期数だけ遅らせる第1シフトレジスタと、ロウアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を RL_{min} とし、カラムアクセス命令の印加から前記メモリセルのデータが出力されるのに必要な前記クロック信号の最小クロック周期数を CL_{min} とすると、同一のバンクに対し、前記ロウアクセス命令の印加から前記カラムアクセス命令の印加までの前記クロック信号のクロック周期数のRCDに対応して、前記RCDと前記 $(RL_{min} - CL_{min})$ との差分に関する情報を有する第1遅延クロック制御信号を前記第1シフトレジスタに供給する手段と

を具備する。そして前記遅延クロック周期数は、前記RCDと前記 $(RL_{min} - CL_{min})$ との差分に対応して、外部においてプログラムされるか、或いは内部において決定される。特に、内部において決定される時には、所定のカウンタを具備する。

【0007】本発明のSDRAMの前記カウンタは、同一のバンクに対し、ロウアクセス命令の印加からカラムアクセス命令の印加までの前記クロック信号のクロック周期数のRCD及び前記ロウアクセス命令の印加から前記センスアンプがイネーブルされるまでの前記クロック信号のクロック周期数のRSEを感知して、前記RCDと前記RSEとの差分に関する情報を有する第1遅延クロック制御信号を前記第1シフトレジスタに供給することもできる。このとき、前記遅延クロック周期数は、前記RCDと前記RSEとの差分に対応して決定される。

【0008】前記目的を達成するため、本発明は、SDRAMのCASラテンシ制御方法を提供する。本発明のCASラテンシ制御方法は、前記 $(RL_{min} - CL_{min})$ を前記SDRAMの外部から入力する段階と、前記RCDと前記 $(RL_{min} - CL_{min})$ とを比較する段階と、前記RCDが $(RL_{min} - CL_{min})$ より小さければ、前記カラムアクセス命令の印加からデータが出力されるのにかかる前記クロック信号のクロック周期数であるCLを $(RL_{min} - RCD)$ に決定する段階と、前記RCDが $(RL_{min} - CL_{min})$ 以上であれば、前記CLを CL_{min} に決定する段階とを具備する。

【0009】本発明の他のCASラテンシ制御方法は、RCDを感知する段階と、RSEを感知する段階と、前記RCDと前記RSEとを比較する段階と、前記RCDが前記RSEより小さく、且つその差分が所定の基準クロック周期数以上であれば、前記カラムアクセス命令の印加からデータが出力されるのにかかる前記クロック信号のクロック周期数であるCLを $(RL_{min} - RCD)$ に決定する段階と、前記RCDが前記RSE以上、或いはその差分が前記基準クロック周期数より小さければ、前記CLを CL_{min} に決定する段階とを具備する。

【0010】本発明のさらに他の制御方法は、前記 $(RCD_{min} - RCD)$ 値を外部においてプログラムして、内部CAS命令の遅延を制御することである。これは、外部RCDを感知する過程が省かれる場合である。本発明のSDRAM及びCASラテンシ制御方法によると、SDRAMにおいて別途のMRS命令なしでも、ポストッドCASラテンシ及び通常のCASラテンシ動作が適宜行える。

【0011】

【発明の実施の形態】本発明及び本発明の動作上の利点並びに本発明の実施によって達成される目的を十分理解するためには、本発明の好適な実施の形態を例示する添付図面及び添付図面に対応して記載された内容を参照しなければならない。以下、添付した図面に基づき、本発

明の好適な実施の形態について詳細に説明する。図中、同一の参照符号は同一の部材を表わす。

【0012】まず、通常のSDRAMの出力に関わる構成要素及びデータ出力動作は、概して説明すれば、下記の通りである。SDRAMは、多数個のバンクを有している。また、この個々のバンクは、行及び列に配列される多数個のメモリセルから構成される。そしてSDRAMは、1つのバンク中に含まれる多数個のメモリセルから特定のメモリセルを選択するため、行を選択するロウデコード及び列を選択するカラムデコードを含む。また、ロウデコードを介して選択される行のメモリセルのデータは、ビットライン対に出力される。また、出力されるデータはセンスアンプを介して増幅される。また、選択される列に対応するビットライン対の増幅されたデータは、伝送スイッチを介してデータ入出力線に出力される。この時、伝送スイッチは、カラムデコードを介して入力されるデコーディングされたカラムアドレスによって選択的にターンオンされる。入出力線に出力されたデータは、出力バッファを介して外部に出力される。SDRAMの出力動作は、外部から入力されるクロック信号に同期されて制御される。

【0013】

【実施例】第1実施例

図1は、本発明の第1実施例によるポストドCASラテンシ機能を備えたSDRAMの概略ブロック図である。図中には、本発明と関わる要素が示してある。図1を参照すると、第1実施例によるSDRAMは、カラムアドレス入力端N102、第1シフトレジスタ103、カラムデコード109、カウンタ115及びメモリセルバンク105を含む。

【0014】メモリセルバンク105は、行及び列に配列される多数個のメモリセルから構成される（ここでは、便宜上1つのバンクのみを示す）。カラムデコード109は、メモリセルバンク105の列を選択する。カラムアドレス入力端N102は、メモリセルバンク105の列を選択するカラムアドレスCAを受信する。第1シフトレジスタ103は、カラムアドレス入力端N102を介して入力されるカラムアドレスCAを遅延クロック周期数TD1だけ遅らせてカラムデコード109に供給する。ここで、遅延クロック周期数TD1は、下記式を満足する。

【数5】

$$TD1 = (RL_{min} - CL_{min}) - RCD \quad \dots (5)$$

【0015】ここで、 RL_{min} は、ロウアクセス命令の印加からメモリセルのデータが出力されるのに必要なクロック信号CLKの最小クロック周期数を表わす。また CL_{min} は、カラムアクセス命令の印加からメモリセルのデータが出力されるのに必要なクロック信号CLKの最小クロック周期数を表わす。またRCDは、同一のバンクに対しロウアクセス命令の印加からカラムアクセス

命令の印加までのクロック信号CLKのクロック周期数を表す。

【0016】第1シフトレジスタ103は、具体的には多数個のレジスタ103a、103b、103c及びマルチプレクサ103xを具備する。レジスタ103a、103b、103cは直列に接続され、クロック信号CLKにตอบสนองして入力されるカラムアドレスCAを順次送る。従って、カラムアドレスCAは、クロック信号CLKの1クロック毎に次のレジスタに送られる。マルチプレクサ103xは、カラムアドレス入力端N102及び前記レジスタ103a、103b、103cの出力信号を入力信号とし、カウンタ115から出力される第1遅延クロック制御信号DRCDにตอบสนองして選択される1つの信号をカラムデコード109に供給する。第1シフトレジスタ103に含まれるレジスタの数は拡張可能である（ここでは、便宜上3つのレジスタのみを示す）。好ましい実施例によると、レジスタ103a、103b、103cはDフリップフロップである。カウンタ115はRCDを感知して、RCDと $(RL_{min} - CL_{min})$ との差分に関する情報を有する第1遅延クロック制御信号DRCDを第1シフトレジスタ103のマルチプレクサ103xに供給する。 $(RL_{min} - CL_{min})$ の値は、MRSを介してSDRAMの外部から入力可能である。カウンタ115の詳細については、図2を参照して具体的に説明する。

【0017】図1に示されたように、第1実施例によるSDRAMは、センスアンプ107、第2シフトレジスタ111及びバッファ113をさらに具備する。センスアンプ107は、ビットライン対に出力されるメモリセルのデータを増幅する。第2シフトレジスタ111は、メモリセルの出力データを CL_{min} だけ遅らせてバッファ113に供給する。第2シフトレジスタ111は、第1シフトレジスタ103とほぼ同一の構成及び作用効果を有するので、ここではそれについての具体的な説明は省略する。ただ、マルチプレクサ111xは CL_{min} によって制御される。

【0018】バッファ113は、第2遅延クロック制御信号PTRSTにตอบสนองして、第2シフトレジスタ111の出力信号N112を遅延クロック周期数TD1だけ遅らせてバッファリングする。本発明の好ましい実施例によると、SDRAMは、バッファ113を制御する第2遅延クロック制御信号RTRSTを発生させるバッファ制御部117をさらに具備する。バッファ制御部117の詳細については、図3を参照して具体的に説明する。ANDゲート119は、図2と関連づけられて後述するカウンティング静止信号QRCDZEによってイネーブルされて、クロック信号CLKにตอบสนองしてカラム制御信号PCDENを発生させる。カラム制御信号PCDENは、最終的には、カラムデコード109を制御する。

【0019】図2は、図1のカウンタ115を具体的に

示す回路図である。これを参照すると、カウンタ115は、ダウンカウンタ201、レジスタ203、クロック制御部205、論理部207及びRCD測定部209を具備する。ダウンカウンタ201は、 $(RL_{min}-CL_{min})$ の値である RCD_{min} を入力し、クロック制御部205の出力信号である第1クロック制御信号CKCON1にตอบสนองして、 RCD_{min} から1ずつデクリメントされる値を有する出力信号QRCDを発生させる。レジスタ203は、ダウンカウンタ201の出力信号QRCDを論理部207の出力信号である第2クロック制御信号CKCON2にตอบสนองして格納させ、第1遅延クロック制御信号DRCDを第1シフトレジスタ103 (図1参照) に供給する。

【0020】クロック制御部205は、ロウアクセス命令の発生によってイネーブルされて、クロック信号CLKにตอบสนองする第1クロック制御信号CKCON1をダウンカウンタ201に供給する。クロック制御部205は、ダウンカウンタ201の出力信号QRCDの値が“0”となるとときにディスエーブルされる。好ましくは、クロック制御部205は、インバータ205a及びANDゲート205bから構成される。インバータ205aは、ダウンカウンタ201の出力信号QRCDの値が“0”となる時に“ハイ”に活性化するカウンティング静止信号QRCDZEを反転させる。そしてANDゲート205bは、ロウアクセス信号PR、クロック信号CLK及びインバータ205aの出力信号N206を論理積して第1クロック制御信号CKCON1を発生させる。ここで、ロウアクセス信号PRは、ロウアクセス命令が発生されると“ハイ”に活性化される信号である。従って、第1クロック制御信号CKCON1は、ロウアクセス命令が発生した後にクロック信号CLKにตอบสนองする。しかし乍ら、第1クロック制御信号CKCON1は、ダウンカウンタ201の出力信号QRCDが“0”となることから、“ロウ”の状態が続く。

【0021】しかし、再びロウアクセス命令が発生されると、リセット制御部211の出力信号PRSETが活性化され、ダウンカウンタ201はリセットされる。そして第1クロック制御信号CKCON1は再びクロック信号CLKにตอบสนองする。RCD測定部209は、ロウアクセス信号PR及びカラムアクセス信号PCを入力されて、論理部207に出力されるRCD測定信号RCDETを発生させる。ここで、カラムアクセス信号PCは、カラムアクセス命令が発生されると“ハイ”に活性化される信号である。RCD測定信号RCDETは、ロウアクセス命令の発生によって活性化され、カラムアクセス命令の発生によってディスエーブルされる。

【0022】本発明の好ましい実施例によると、RCD測定部209は2つのインバータ209a、209d及び2つのNANDゲート209b、209cから構成される。インバータ209aは、カラムアクセス信号PC

を反転させる。そして2つのNANDゲート209b、209cは、それぞれロウアクセス信号PR及びインバータ209aの出力信号を1つの入力信号とし、クロスカップルする。そしてインバータ209dは、NANDゲート209bの出力信号を反転させてRCD測定信号RCDETを発生させる。従って、RCD測定信号RCDETは、ロウアクセス命令の発生によって活性化され、カラムアクセス命令の発生によってディスエーブルされる。論理部207は、第1クロック制御信号CKCON1及びRCD測定信号RCDETを論理和して、その出力信号である第2クロック制御信号CKCON2をレジスタ203のクロック端に供給する。好ましくは、論理部207はORゲートにて具現される。

【0023】図2に示されたように、カウンタ115は、 RCD_{min} 、ロウアクセス信号PR、カラムアクセス信号PC、クロック信号CLKを入力されて $(RCD_{min}-RCD)$ に関する情報を有する第1遅延クロック制御信号DRCDを発生させる。ここで、 $(RCD_{min}-RCD)$ が“0”より小さな値である場合には、第1遅延クロック制御信号DRCDは、 $(RCD_{min}-RCD)$ が“0”である場合の情報と同一の情報を有する。

【0024】図3は、図1のバッファ制御部117を具体的に示す回路図である。これを参照すると、バッファ制御部117は、第1レジスタ301及び第2レジスタ303を具備する。第1レジスタ301はクロック信号CLKにตอบสนองして、カラムアクセス信号PCを遅延クロック周期数TD1だけ遅らせて出力する。第1レジスタ301は、クロック信号CLKに代えて、内部クロック信号PCLKにตอบสนองする場合もある。ここで、内部クロック信号PCLKは、クロック信号CLKの立ち上がりエッジにตอบสนองして発生される信号である。第1レジスタ301は、図1に示された第1シフトレジスタ103とほぼ同一の構成及び作用効果を有する。ただ、第1シフトレジスタ103はカラムアドレスCAを遅延クロック周期数TD1だけ遅らせるのに対し、第1レジスタ301はカラムアクセス信号PCを遅延クロック周期数TD1だけ遅らせる点で違う。

【0025】第2レジスタ303はクロック信号CLKにตอบสนองして、第1レジスタ301の出力信号N302を遅延クロック周期数 CL_{min} だけ遅らせて出力する。第2レジスタ303は、図1に示された第2シフトレジスタ111とほぼ同一の構成及び作用効果を有する。ただ、第2シフトレジスタ111はメモリスルスの出力データを CL_{min} だけ遅らせるのに対し、第2レジスタ303は第1レジスタ301の出力信号N302を CL_{min} だけ遅らせる点で違う。

【0026】図4は、ポストデータCAS命令において、第1実施例によるSDRAMの重要端子のタイミング図である。図中、 RCD_{min} は4であり、 CL_{min} は4であり、RCDが2である。このように、RCDがRCD

$_{min}$ より小さな場合には、CLが6に変わり、データの出力動作が適宜行われるということが分かる。図5は、通常のCAS命令において、第1実施例によるSDRAMの重要端子のタイミング図である。図中、 RCD_{min} は4であり、 CL_{min} は4であり、RCDが6である。このように、RCDが RCD_{min} より大きい場合には、CLが CL_{min} である4となつて、CLの損失なしにデータの出力動作が適宜行われるということが分かる。

【0027】図6は、第1実施例によるSDRAMを使用するCASラテンシ制御方法を示すフローチャートである。これを参照して、CL制御方法につき説明すれば、下記の通りである。先ず、 RCD_{min} がSDRAMの外部から入力される(ステップ603)。次にRCDが測定される(ステップ605)。次にRCDと RCD_{min} とが比較される(ステップ607)。次に、ステップ607においてRCDが RCD_{min} より小さければ、CLは $(RL_{min}-RCD)$ に決定される(ステップ609)。これに対し、前記ステップ607においてRCDが RCD_{min} 以上であれば、CLは CL_{min} に決定される(ステップ611)。

【0028】第2実施例

図7は、本発明の第2実施例によるポストッドCASラテンシ機能を備えたSDRAMの概略ブロック図である。図中には、本発明と関わった要素が示してある。そして図7の第2実施例において、図1の第1実施例と同一の機能をする信号には同一の符号が付してある。図7に示されたように、第2実施例は、図1の第1実施例とほぼ同一の構成及び作用効果を有する。よって、ここでは、説明の便宜のため、第2実施例の構成及び作用効果が第1実施例と区別される部分についてのみ説明する。ただ、図7の第2実施例は、第1遅延クロック制御信号DRCDを発生させるカウンタ715に、図1のカウンタ115と違いがある。カウンタ715は、RCD及びRSEを感知して、RCDとRSEとの差分に関する情報を有する第1遅延クロック制御信号DRCDを第1シフトレジスタ703のマルチプレクサ703xに供給する。もちろん、第1遅延クロック制御信号が外部から直接的にMRSなどの手段を介して印加されるのも、一つの具現方法として認められる。ここで、RSEは、ロウアクセス命令の印加からセンスアンプ707がイネーブルされるまでのクロック信号CLKのクロック周期数である。そしてRSEは、SDRAMの内部において自動的に測定される。

【0029】そしてカラムアドレスCAが第1シフトレジスタ703によって遅延されて遅延クロック周期数TD2が発生される。そして遅延クロック周期数TD2は、下記式を満足する。

$$【数6】 TD2 = RSE - RCD \quad \dots (6)$$

【0030】カウンタ715の詳細については、図8ないし図11を参照して具体的に説明する。図8は、図7

のカウンタ715を具体的に示す図面である。図8を参照すると、カウンタ715は、第1カウンティング回路801、第2カウンティング回路803及び減算部805を具備する。第1カウンティング回路801は、RSEをカウントして第1クロック周期数CNT1を発生させる。第2カウンティング回路803は、RCDをカウントして第2クロック周期数CNT2を発生させる。減算部805は、第2クロック周期数CNT2から第1クロック周期数CNT1を減算して第1遅延クロック制御信号DRCDを発生させる。しかし、第2クロック周期数CNT2が第1クロック周期数CNT1より小さな場合、第1遅延クロック制御信号DRCDは“0”の情報を有する。

【0031】第1カウンティング回路801は、具体的に論理ラッチ部及びカウンタ801cを具備する。本発明の好ましい実施例によると、論理ラッチ部は、NANDゲート801a、801bにて具現される。NANDゲート801a、801bは、ロウ感知信号/PRD及びセンスアンプ感知信号/PRCDをそれぞれ1つの入力信号とする。そしてNANDゲート801a、801bは、クロスカップルされる。ここで、ロウ感知信号/PRDはロウアクセス信号PRの立ち上がり遷移にตอบสนองしてパルスとして発生される信号である。そしてセンスアンプ感知信号/PRCDはセンスアンプ707(図7参照)のイネーブルを指示するセンスアンプイネーブル信号PSEの立ち上がり遷移にตอบสนองしてパルスとして発生する信号である。従って、論理ラッチ部の出力信号N801はロウアクセス命令の発生によって活性化され、センスアンプイネーブル信号PSEの活性化によって非活性化される。そしてカウンタ801cは、NANDゲート801a、801bの出力信号N801の活性区間でイネーブルされて、活性区間で発生されるクロック信号CLKのクロック周期数をカウントして第1クロック周期数CNT1を減算部805に供給する。従って、第1クロック周期数CNT1は、ロウアクセス命令の印加からセンスアンプ707がイネーブルされるまでのクロック信号CLKのクロック周期数RSEとなる。

【0032】第2カウンティング回路803は、具体的に論理ラッチ部及びカウンタ803cを具備する。本発明の好ましい実施例によると、論理ラッチ部は、NANDゲート803a、803bにて具現される。NANDゲート803a、803bは、ロウ感知信号/PRD及びカラム感知信号/PCDをそれぞれ1つの入力信号とする。そしてNANDゲート803a、803bはクロスカップルされる。ここで、カラム感知信号/PCDは、カラムアクセス信号PCの立ち上がり遷移にตอบสนองしてパルスとして発生される信号である。従って、論理ラッチ部の出力信号N803は、ロウアクセス命令の発生によって活性化され、カラムアクセス信号PCの活性化によって非活性化される。そしてカウンタ803cは、NA

NDゲート803a、803bの出力信号N803の活性区間でイネーブルされて、活性区間で発生されるクロック信号CLKのクロック周期数をカウントして第2クロック周期数CNT2を減算器805に供給する。従って、前記第2クロック周期数CNT2は、同一のバンクに対しロウアクセス命令の印加からカラムアクセス命令の印加までのクロック信号CLKのクロック周期数RCDとなる。

【0033】図8の第1感知信号発生部807は、ロウアクセス信号PRまたはカラムアクセス信号PCに応答して、ロウ感知信号/PRDまたはカラム感知信号/PCDを発生させる回路であって、その具体的な構成は図9と関連づけられて説明される。また、図8の第2感知信号発生部809はセンスアンパイネーブル信号PSEに応答して、センスアンパ感知信号/PRCDを発生させる回路であって、その具体的な構成は図10と関連づけられて説明される。図9は、図8の第1感知信号発生部807を具体的に示す回路図である。図9を参照すると、ロウ感知信号/PRDまたはカラム感知信号/PCDは、ロウアクセス信号PRまたはカラムアクセス信号PCに応答して、パルスとして発生される信号である。

【0034】図10は、図8の第2感知信号発生部809を具体的に示す回路図である。図10を参照すると、センスアンパ感知信号/PRCDは、センスアンパイネーブル信号PSEに応答して、パルスとして発生される信号である。しかし、センスアンパ感知信号/PRCDのセンスアンパイネーブル信号PSEへの応答は、遅延部1001による遅延時間TDELを有する。好ましくは、遅延時間TDELは、カラムアクセス命令の発生からビットライン対のデータを入出力線に伝送する伝送スイッチが“ターンオン”されるのにかかる時間である。そして遅延時間TDELは、基準クロック周期数T1のクロック信号CLKが発生される時間である。

【0035】図11は、図7のカウンタ715を具体的に示す他の図面である。図11のカウンタ715は、論理部1101及びカウンタ1103を具備する。論理部1101は、具体的に3つのNANDゲート1101a、1101b、1101cを含む。NANDゲート1101aは、ロウアクセス命令及びカラムアクセス命令が発生されると活性化される出力信号N1101を発生させる。そしてNANDゲート1101b、1101cは、それぞれNANDゲート1101aの出力信号N1101及びセンスアンパ感知信号/PRCDをそれぞれ1つの入力信号とする。そしてNANDゲート1101b、1101cは、クロスカプルされる。従って、論理部1101の出力信号N1102はカラムアクセス命令の発生に応答して活性化され、センスアンパイネーブル信号PSEに応答して非活性化される。カウンタ1103は、論理部1101の出力信号N1102の活性区間で発生されるクロック信号PCLKのクロック周期数

をカウントする。そして、図11の第1及び第2感知信号発生部1107、1109は、図8の第1及び第2感知信号発生部807、809と同一の構成をもって具現可能なので、それについての具体的な説明は省略する。

【0036】図12は、本発明の第2実施例によるSDRAMを用いるCASラテンシ制御方法を示すフローチャートである。これを参照してCASラテンシ制御方法について説明すると、下記の通りである。先ず、RCD及びRSEがSDRAMの内部において測定される（ステップ1203）。次に、RCDとRSEとが比較される（ステップ1205）。前記ステップ1205において、RCDがRSEより小さく、且つその差分が基準クロック周期数T1以上であれば、CLは $(RL_{min} - RCD)$ に決定される（ステップ1207）。これに対し、RCDがRSE以上、或いはその差分が基準クロック周期数T1より小さければ、CLは CL_{min} に決定される（ステップ1209）。本発明の第1実施例によるSDRAMは、 RCD_{min} をSDRAMの外部からMRSなどを介して入力し、RCDと RCD_{min} とを比較し、その結果に応じてCLを調節する。これに対し、本発明の第2実施例によるSDRAMは、同期式半導体メモリ自体でRCD及びRSEを測定して比較し、その結果に応じてCLを調節するという点で、第1実施例と違う。

【0037】

【発明の効果】以上述べたように、本発明のSDRAM及びCASラテンシ制御方法によると、SDRAMにおいて、ポストッドCASラテンシ及び通常のCASラテンシ動作が適宜行えるようになる。本発明は、図面に示された実施例を参考に説明されたが、これは単なる例示的なものに過ぎず、本技術分野において通常の知識を有した者なら、これより種々なる変形及び均等な他の実施例が可能なのは言うまでもない。よって、本発明の真の保護範囲は、請求範囲の技術的な思想によって定まるべきである。

【図面の簡単な説明】

【図1】本発明の第1実施例によるポストッドCASラテンシ機能を備えたSDRAMの概略ブロック図である。

【図2】図1のカウンタを具体的に示す回路図である。

【図3】図1のバッファ制御部を具体的に示す回路図である。

【図4】ポストッドCAS命令において、本発明の第1実施例によるSDRAMの重要端子のタイミング図である。

【図5】通常のCAS命令において、本発明の第1実施例によるSDRAMの重要端子のタイミング図である。

【図6】本発明の第1実施例によるSDRAMを使用するCASラテンシ制御方法を示すフローチャートである。

【図7】本発明の第2実施例によるポストデッドC A Sラ
テンシ機能を備えたSDRAMの概略ブロック図であ
る。

【図8】図7のカウンを具体的に示す図面である。

【図9】図8の第1感知信号発生部を具体的に示す回路図である。

【図10】図8の第2感知信号発生部を具体的に示す回路図である。

【図11】図7のカウンタを具体的に示す他の図面である。

【図12】本発明の第2実施例によるSDRAMを使用するCASラテンシ制御方法を示すフローチャートである。

【図13】通常のロウアクセス命令またはカラムアクセス命令の印加からデータが出力されるまでのそれぞれのラテンシを説明するための図面である。

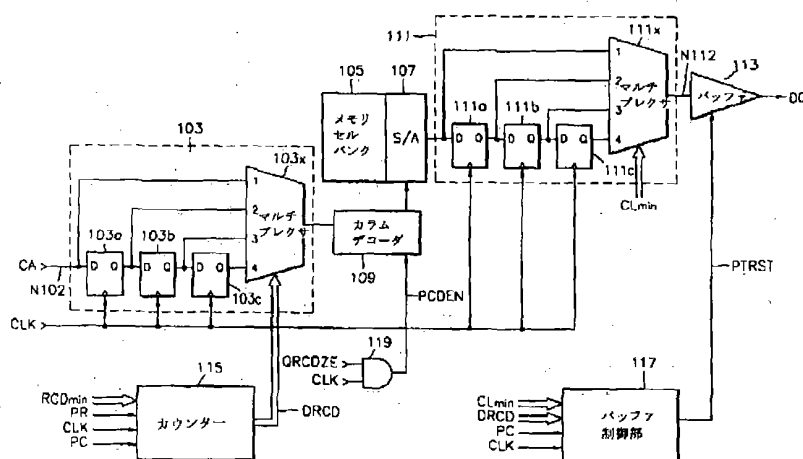
【符号の説明】

103 第1シフトレジスタ

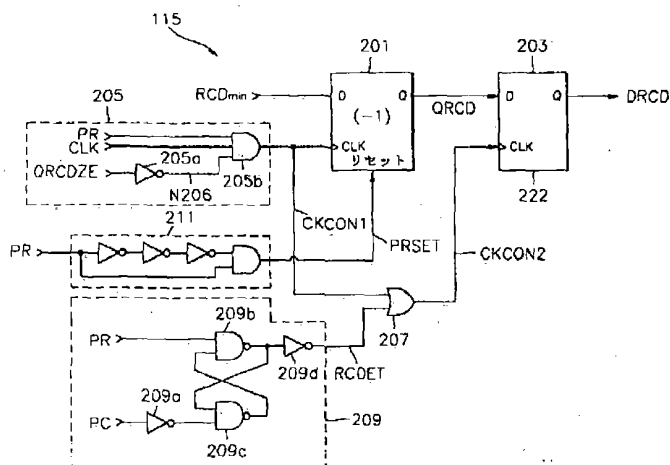
111 . . . 第2シフトレジスタ

119 ANDゲート

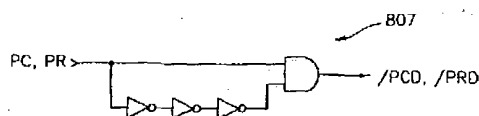
【图 1】



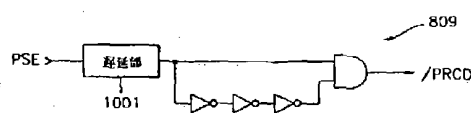
【图2】



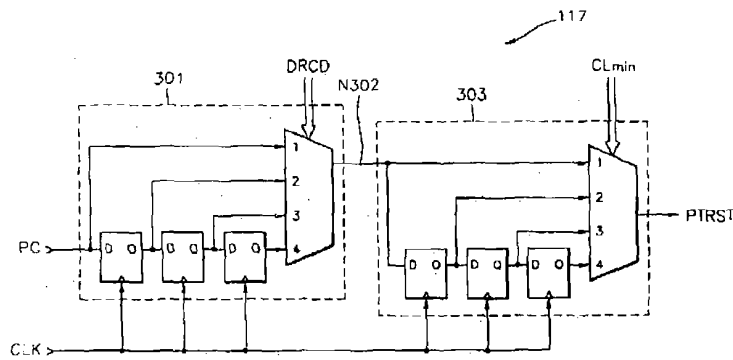
【图9】



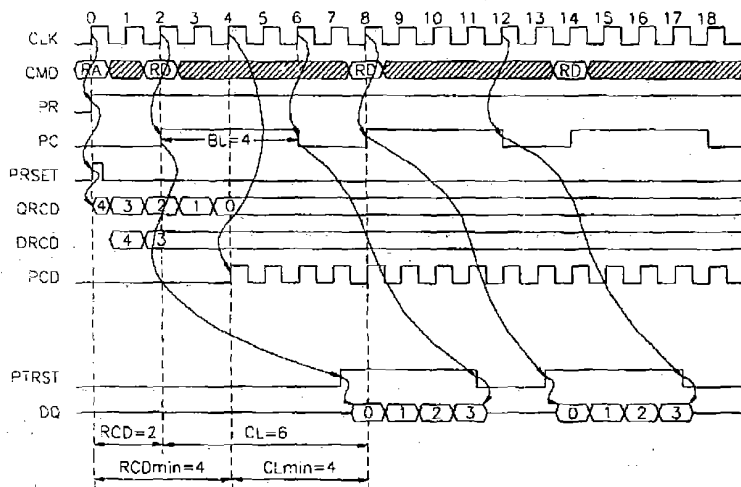
【図 10】



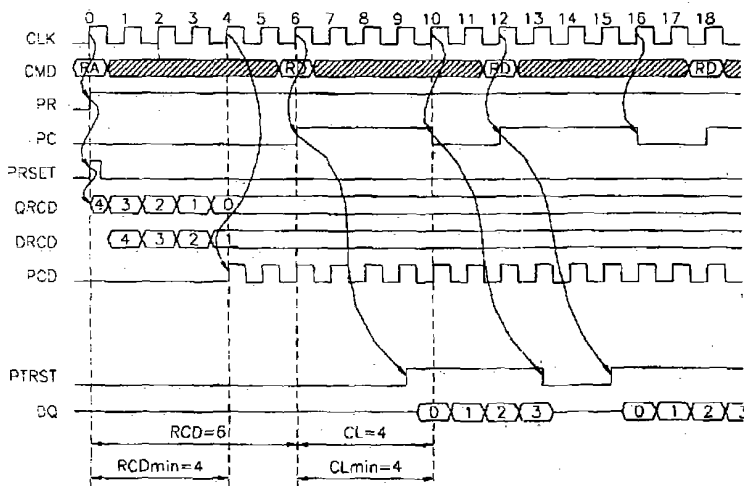
【図3】



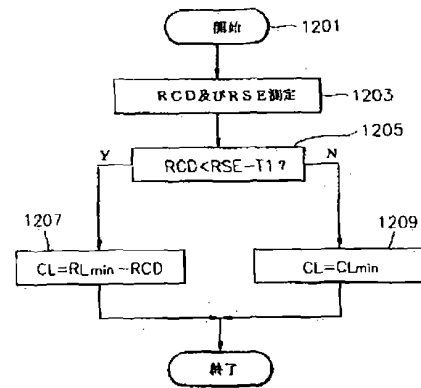
【図4】



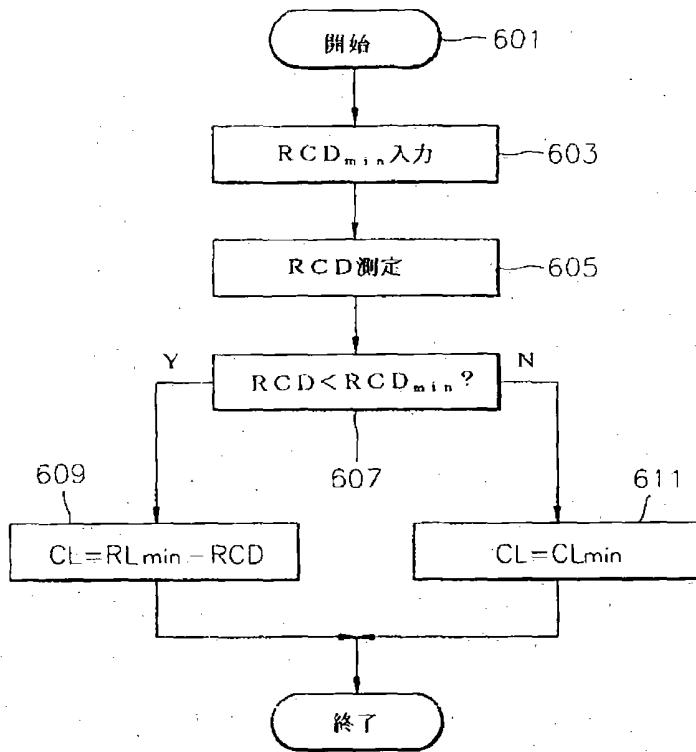
【図5】



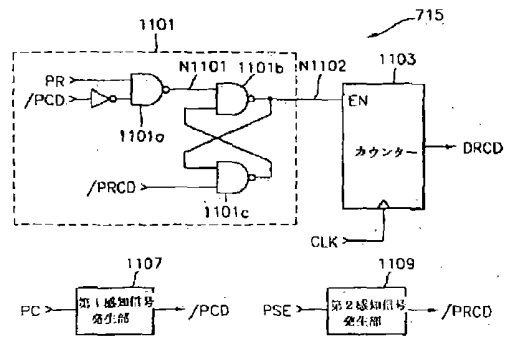
【図12】



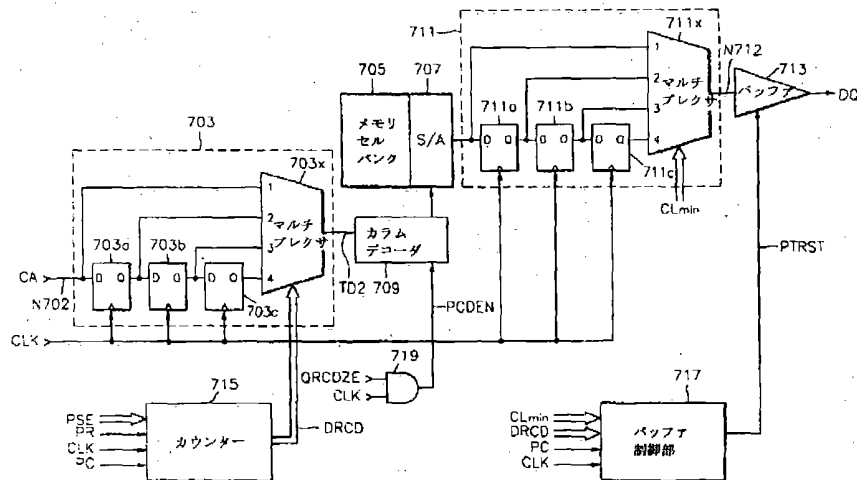
【図6】



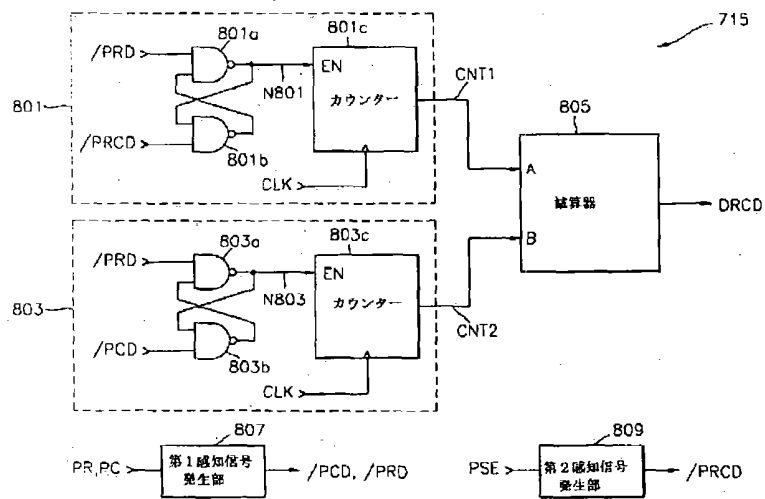
【図11】



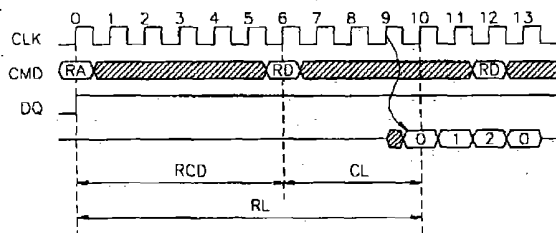
【図7】



【図8】



【図13】



フロントページの続き

(72)発明者 李 ▲ジュン▼ 培
大韓民国京畿道軍浦市山本洞320番地 朱
夢住公アパート1006棟1205号